

(19) 日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11) 特許出願公開番号

特開平9-107046

(43) 公開日 平成9年(1997)4月22日

(51) Int.Cl.⁶

H 0 1 L 23/12

識別記号

庁内整理番号

F I

H 0 1 L 23/12

技術表示箇所

Q

L

審査請求 未請求 請求項の数 1 O L (全 5 頁)

(21) 出願番号

特願平7-262818

(22) 出願日

平成7年(1995)10月11日

(71) 出願人 000004455

日立化成工業株式会社

東京都新宿区西新宿2丁目1番1号

(72) 発明者 坪松 良明

茨城県つくば市和台48 日立化成工業株式
会社筑波開発研究所内

(72) 発明者 井上 文男

茨城県つくば市和台48 日立化成工業株式
会社筑波開発研究所内

(72) 発明者 山崎 聡夫

茨城県つくば市和台48 日立化成工業株式
会社筑波開発研究所内

(74) 代理人 弁理士 若林 邦彦

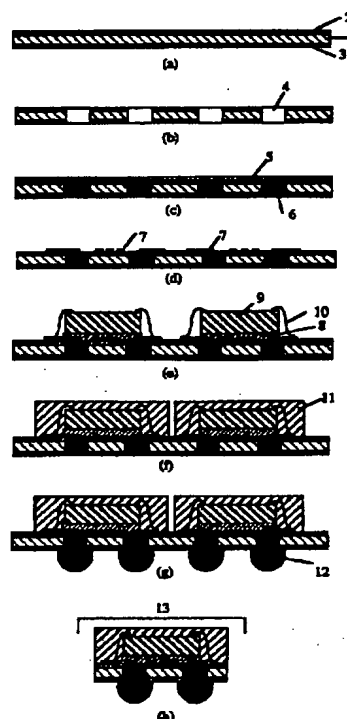
最終頁に続く

(54) 【発明の名称】 半導体パッケージ

(57) 【要約】 (修正有)

【課題】 パッケージの小型・高密度化に対応可能な半導体パッケージを提供する。

【解決手段】 絶縁基板、絶縁基板1の一方の面に形成され半導体チップ電極と電気的に接続される配線パターン7、絶縁基板1の他の面に形成された外部接続端子12、配線パターン7と外部接続端子12を接続する層間接続部6を有する半導体チップ9搭載用基板であって、層間接続部6と接続する配線パターン7の端部が層間接続部の露出した平面領域内に収まるよう構成されている半導体チップ搭載用基板を使用した半導体パッケージ。



【特許請求の範囲】

【請求項1】 A. (a1) 絶縁基板、(a2) 絶縁基板の一方の面に形成され半導体チップ電極と電気的に接続される配線パターン、(a3) 絶縁基板の他の面に形成された外部接続端子、(a4) 配線パターンと外部接続端子を接続する層間接続部を有する半導体チップ搭載用基板であって、層間接続部と接続する配線パターンの端部が層間接続部の露出した平面領域内に収まるよう構成されている半導体チップ搭載用基板、

B. 半導体チップ搭載用基板に接着材を介して接着された後、配線パターンと電気的に接続された半導体チップ、

C. 半導体チップを封止する封止樹脂とにより成る半導体パッケージ。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】本発明は、半導体パッケージに関する。

【0002】

【従来の技術】半導体の集積度が向上するに従い、入出力端子数が増加している。従って、多くの入出力端子数を有する半導体パッケージが必要になった。一般に、入出力端子はパッケージの周辺に一系列配置するタイプと、周辺だけでなく内部まで多列に配置するタイプがある。前者は、QFP (Quad Flat Package) が代表的である。これを多端子化する場合、端子ピッチを縮小することが必要であるが、0.5mmピッチ以下の領域では、配線板との接続に高度な技術が必要になる。後者のアレイタイプは比較的大きなピッチで端子配列が可能のため、多ピン化に適している。従来、アレイタイプは接続ピンを有するPGA (Pin Grid Array) が一般的であるが、配線板との接続は挿入型となり、表面実装には適していない。このため、表面実装可能なBGA (Ball Grid Array) と称するパッケージが開発されている。また、パッケージの更なる小型・薄型化に対応するものとして、半導体チップとほぼ同等の外形を有する、いわゆるチップサイズパッケージ (CSP; Chip Size Package) が提案されている。これは、半導体チップの周辺部でなく、実装領域内に外部配線基板との接続部を有するパッケージである。具体的例としては、片面配線パターン付きフレキシブルプリント板の絶縁層側から配線パターンに達する非貫通穴を加工し、めっき法によりきのこ状金属バンプ (後述の層間接続部及び外部接続端子に対応) を形成し、外部接続端子付きプリント板を半導体チップの表面に接着し、チップと金リード線により電気的接続を図った後、エポキシ樹脂などをポッティングして封止したもの (NIKKEI MATERIALS & TECHNOLOGY 94. 4, No. 140, p18-19) やめっき法で形成した金

属バンプの代わりに非貫通穴に後工程ではんだボール付けを行なうものなどがあつた。

【0003】

【発明が解決しようとする課題】図3に前述した後工程ではんだボールを付けるタイプのCSP用基板31の要部平面 (図3(a)) 及び断面図 (図3(b)) を示す。図より、はんだボール用に所定の開口径を確保する必要がある。また、非貫通穴部を形成する穴33が配線パターン32' で塞がれていないと、パターンズレによりパッケージ化工程でチップ接着用樹脂などがはみ出してくる可能性もある。換言すれば、非貫通穴部の配線パターン径 (D) は必ず穴径 (d) よりも大きくなくてはならない。すなわち、従来構成でパッケージサイズを極限まで小さくするために外部端子格子ピッチを狭ピッチ化していくと、設計上の配線可能領域が必要以上に圧縮され、結果として、特殊な微細配線技術が必要となったり、パターン形成時の歩留まりが著しく低下するという問題などがあつた。本発明はパッケージの小型・高密度化に対応可能な半導体パッケージを提供するものである。

【0004】

【課題を解決するための手段】

A. (a1) 絶縁基板、(a2) 絶縁基板の一方の面に形成され半導体チップ電極と電気的に接続される配線パターン、(a3) 絶縁基板の他の面に形成された外部接続端子、(a4) 配線パターンと外部接続端子を接続する層間接続部を有する半導体チップ搭載用基板であって、層間接続部と接続する配線パターンの端部が層間接続部の露出した平面領域内に収まるよう構成されている半導体チップ搭載用基板、

B. 半導体チップ搭載用基板に接着材を介して接着された後、配線パターンと電気的に接続された半導体チップ、

C. 半導体チップを封止する封止樹脂とにより成る半導体パッケージである。

【0005】

【発明の実施の形態】図1(a)(b)はそれぞれ本発明による半導体パッケージ用配線板の要部を示す平面及び断面図である。すなわち、本発明においては、非貫通穴3内に所定量の金属を充填して配線パターン2と電気的に接続する層間接続部4を形成し、かつ、配線パターンの端部5を層間接続部4の露出した平面領域内に収まるよう構成することにより、半導体チップと外部接続端子とを結線する配線パターン2をレイアウト可能な領域をより広く確保することができる。この場合、使用する基板は特に限定されるものではなく、銅箔上にキャスト法によりポリアミック酸を塗布した後、加熱によりポリイミド層を形成したものや、予め硬化したポリイミドフィルムの所望する面に接着材を塗布した後、プレスなどにより銅箔を片面に接着したものなどが適用可能

である。また、層間接続部形成用の非貫通穴の形成方法も特に限定するものではなく、(1)、公知のドリルやパンチ加工などにより予め接着材付き絶縁フィルムに貫通穴を設けた後、銅箔を片面に加熱・加圧することにより貫通穴の片側を塞ぐ方法、(2)、接着材付きフィルムの片面に銅箔を加熱・加圧した後、例えば、炭酸ガスレーザ等で銅箔に達する非貫通穴を直接形成する方法、(3)、接着材付きフィルムの両面に銅箔を加熱・加圧した後、一方の側の銅箔をエッチング除去し、(2)と同様に直接を形成する方法などが適用可能である。

【0006】配線パターン形成方法についても特に限定されるものではないが、予め非貫通穴をめっき金属や導電性ペーストなどで所望する量(高さ)だけ充填した後パターン形成することが好ましい。充填する金属としては、ニッケル、スズ、鉛、金、銀、銅などが好ましく、これら金属を単独で、あるいは、複数層状にめっき法などで積み上げることも可能である。また更に、これらの金属を含む有機樹脂ペーストなども適用可能である。

【0007】一方、本願の発明に於ては、チップ電極と配線との電気的接続方法として金ワイヤボンディングやフェースダウンボンディングなどが適用可能である。前者の場合は、配線パターン下部に存在する絶縁基材の耐熱性及び硬さが重要な要因であり、ガラス転移点180℃以上で、かつ、ワイヤボンディング温度に於ける弾性率が1,000MPa以上であることが好ましい。また、ボンディング時の基材温度を基材のガラス転移点より低い温度で行なうことにより、よりいっそう安定的なワイヤボンディングが可能になる。後者の場合は、予め配線上に半導体チップ電極と接続する金属突起部を形成し、半導体チップ電極を金属突起が設けられている面に面して搭載し、半導体チップ電極と金属突起とを接続する。この場合、予め配線領域の所望する部分を熱可塑性ポリイミド接着材等で覆い、後工程で金属突起部を形成する箇所に配線に達する非貫通凹部を設け、めっき等で金属突起部を形成した後、半導体チップ電極と金属突起部とを加熱・加圧により接続させると同時にチップ電極面を封止しても良い。封止に適用する樹脂としては、例えば、直径10~20μm程度のシリカを5~80wt%の範囲で含有したエポキシ樹脂等が適用可能である。

【0007】

【実施例】本発明のパッケージの実施例を図2に基づき説明する。幅50.8mm、厚さ50μmのポリイミドフィルム(宇部興産製、商品名UPILEX-S-1Type)の両面に熱硬化性ポリイミド接着材用ワニス(所定量塗布し、160℃10分、180℃5分の乾燥により第1の接着材層2(厚さ8μm)及び第2の接着材層3(厚さ5μm)をポリイミドフィルムの両面に形成した(図2(a))。次に、250mm角にシートカット後、NCドリル加工機を用いて0.3mmφの貫通穴4

を所定数設けた(図2(b))。加工条件は、回転数80,000rpm、ドリル送り速度12m/分である。180℃で20分間プリベーク後、厚さ12μmの電解銅箔(日本電解(株)製、商品名SLP)5の粗化面を内側にして第1の接着材層2と向かい合わせ、加熱・加圧により銅箔と接着材層とを接着させて非貫通穴を形成した。加熱・加圧条件は、圧力30kgf/cm²、温度250℃である。なお、銅箔と反対側の第2の接着材層が鏡板に接着しないように、厚さ50μmのテフロンフィルムを第2の接着材層に面して構成した。次に、銅箔5をカソードとして電気めっき法により非貫通穴内にニッケルめっきを充填して層間接続部6を形成した((c))。設定電流密度は3.0A/dm²、析出膜厚は50μmである。次に、銅箔面にドライフィルムレジスト(日立化成工業(株)製、商品名フォテックHK825)をラミネートし、露光・現像により所望する複数組のレジストパターンを形成した。ラミネート条件は、ロール圧力2.0kgf/cm²、ロール温度100℃、送り速度1.0m/分である。露光はオーク(株)製平行露光機(EXM-1600-A)を使用し、露光量80mJ/cm²で行なった。現像は、炭酸ナトリウム溶液(液温28℃、液濃度1.0wt%)を使用し、スプレー圧力1.5kgf/cm²で行なった。次に、塩化第二鉄溶液(液温38℃、ボーマ度40)を用いて所望する領域の銅箔をエッチング除去後、水酸化カリウム溶液(液温38℃、液濃度3wt%)を用いてレジストパターンを剥離して複数組の配線パターン7を得た((d))。この場合、層間接続部格子ピッチ(はんだボール格子ピッチ)は0.6mm、最小配線ピッチ120μm(ライン/スペース50/70μm)及び格子間配線2本である。次に、250mm角シートを所定のフレーム形状に打ち抜き加工後、露出する配線パターン7及び層間接続部6面に無電解ニッケル(厚さ7μm)、続いて、金めっき(厚さ0.7μm)を施した。次に、絶縁ダイボンドフィルム8を用いて、厚さ0.3mm、外形10mm角の半導体チップ9をコレット圧着した後、ワイヤボンダー(新川製、装置名UTC-230BI)を用いて金ワイヤ10によりチップ電極と配線パターンの所望する箇所を電気的に接続させた((e))。チップ圧着条件は、プレート温度200℃、荷重300gである。ボンディング条件は、温度180℃、荷重100g、超音波100、時間20msec等である。次に、半導体封止用エポキシ樹脂(日立化成工業(株)製、商品名CEL-9200)11を用いてトランスファーモールド法によりチップを封止した((f))。封止条件は、温度180℃、圧力80kgf/cm²、封止時間90秒である。次に、層間接続部6上に形成した金めっき面にフラックス処理を施した後、はんだボールを配置し、赤外線リフロー炉で240℃、10秒間リフローさせて外部接続端子部12を形成

した (g)。最後に、フレームで連結されたパッケージを金型で打ち抜き、個々のパッケージ 13 に分割した (h)。以上より、層間接続部径 (図 1 d) 0.3 mm ϕ 、はんだボール格子ピッチ (図 1 p) 0.6 mm の物件に関し、従来法を適用した場合 (図 1、 $D-d$; 0.15 mm)、最小配線ピッチ 60 μ m が必要であったものが最小配線ピッチ 120 μ m で展開可能であった。

【0008】

【発明の効果】本発明により、小型・高密度化に対応可能な半導体パッケージを安定して製造可能になった。

【図面の簡単な説明】

【図 1】本発明による半導体チップ搭載用基板の要部平面 (a) 及び断面図 (b)。

【図 2】本発明の半導体パッケージの製造工程を示す断面図。

【図 3】従来法による半導体チップ搭載用基板の要部平面 (a) 及び断面図 (b)。

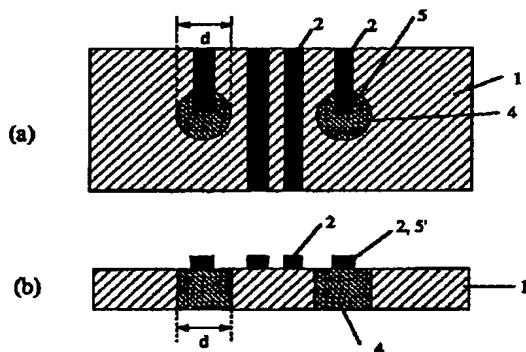
【符号の説明】

1. ポリイミドフィルム

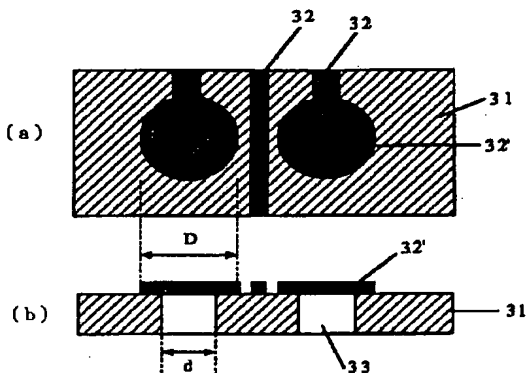
*

20

【図 1】

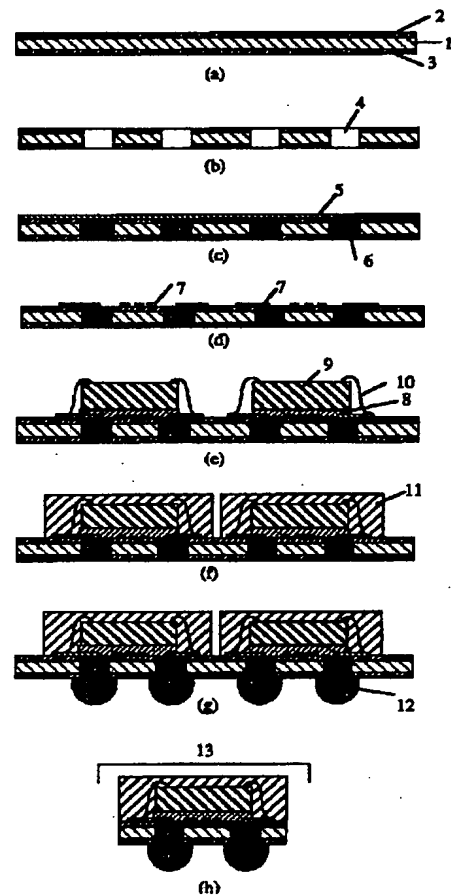


【図 3】



- * 2. 接着材
- 3. 接着材
- 4. 貫通穴
- 5. 銅箔
- 6. 層間接続部
- 7. 配線パターン
- 8. ダイボンドフィルム
- 9. 半導体チップ
- 10. 金ワイヤ
- 11. 封止材
- 12. はんだボール
- 13. 半導体パッケージ
- 31. 配線基板
- 32. 配線パターン
- 32'. 非貫通穴部の配線パターン
- 33. 非貫通穴
- 34. 層間接続部
- 35. 配線パターン端部

【図 2】



フロントページの続き

(72)発明者 大畑 洋人
茨城県つくば市和台48 日立化成工業株式
会社筑波開発研究所内

(72)発明者 市村 茂樹
茨城県つくば市和台48 日立化成工業株式
会社筑波開発研究所内
(72)発明者 田口 矩之
茨城県つくば市和台48 日立化成工業株式
会社筑波開発研究所内